

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS


IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Semiconductor integrated circuit device for portable electronic notebook and minicomputer

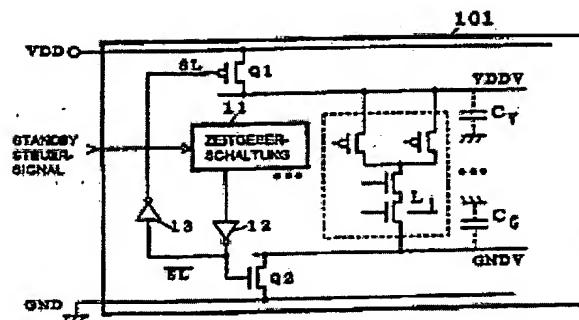
Patent number: DE19615413
Publication date: 1997-02-27
Inventor: MORINAKA HIROYUKI (JP); SUZUKI HIROAKI (JP);
UEDA KIMIO (JP); MASHIKO KOICHIRO (JP)
Applicant: MITSUBISHI ELECTRIC CORP (JP)
Classification:
- **International:** G11C5/14; H01L23/58
- **European:** G11C5/14, G11C5/14R, H03K19/00P6
Application number: DE19961015413 19960418
Priority number(s): JP19950211772 19950821

Also published as:

 US5781062 (A1)
JP9064715 (A)

Abstract of DE19615413

The IC device includes a voltage source (VDD), a switch (Q1) with one end connected to the voltage source, and a logic circuit (Lj) connected to the other end of the switch. Provided with the voltage source is a voltage source conductor (VDDV) which can be held by an electrical load. The switch is connected at its respective ends between the voltage source and the source voltage conductor. The logic switch has sequential switches and has two operational modes, e.g. active and standby. In active mode, the switch is continually conductive, while in standby mode the switch is intermittently conductive under control of a clock circuit (11).



Data supplied from the esp@cenet database - Worldwide

1. The first part of the document is a list of names and their corresponding dates. The names are: "John Doe", "Jane Smith", "Bob Johnson", "Alice Brown", "Charlie White", "David Green", "Eve Black", "Frank Gray", "Grace White", "Henry Black", "Ivy White", "Jack Black", "Karen White", "Leo Black", "Mia White", "Noah Black", "Olivia White", "Peter Black", "Quinn White", "Ryan Black", "Sophia White", "Theodore Black", "Uma White", "Victor Black", "Wendy White", "Xavier Black", "Yara White", "Zoe Black". The dates are: "1990-01-01", "1990-02-01", "1990-03-01", "1990-04-01", "1990-05-01", "1990-06-01", "1990-07-01", "1990-08-01", "1990-09-01", "1990-10-01", "1990-11-01", "1990-12-01", "1991-01-01", "1991-02-01", "1991-03-01", "1991-04-01", "1991-05-01", "1991-06-01", "1991-07-01", "1991-08-01", "1991-09-01", "1991-10-01", "1991-11-01", "1991-12-01", "1992-01-01", "1992-02-01", "1992-03-01", "1992-04-01", "1992-05-01", "1992-06-01", "1992-07-01", "1992-08-01", "1992-09-01", "1992-10-01", "1992-11-01", "1992-12-01".

[illegible]

1944-1945



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 196 15 413 A 1**

⑤ Int. Cl.⁸: 12
G 11 C 5/14
H 01 L 23/58

⑳ Aktenzeichen: 196 15 413.8
㉑ Anmeldetag: 18. 4. 96
㉒ Offenlegungstag: 27. 2. 97

DE 196 15 413 A 1

③④ Unionspriorität: ③② ③③ ③①
21.08.95 JP 7-211772

⑦① Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

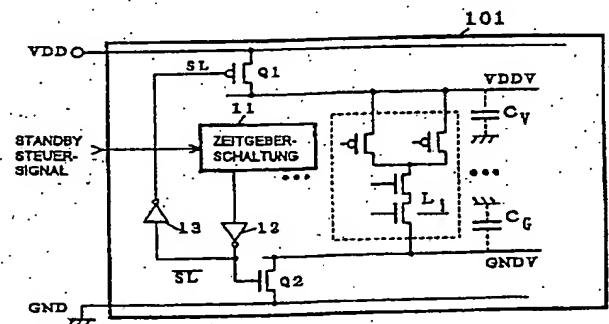
⑦④ Vertreter:
Kuhnen, Wacker & Partner, Patent- und
Rechtsanwälte, 85354 Freising

⑦② Erfinder:
Mashiko, Koichiro, Tokio/Tokyo, JP; Ueda, Kimio,
Tokio/Tokyo, JP; Suzuki, Hiroaki, Tokio/Tokyo, JP;
Morinaka, Hiroyuki, Tokio/Tokyo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Integrierte Halbleiterschaltung

⑤⑦ Eine Logikschaltung (L_1) ist zwischen einer virtuellen Spannungsversorgungsleitung (VDDV), welche über einen PMOS-Transistor (Q1) mit einer tatsächlichen Spannungsversorgung (VDD) verbunden ist, und einer virtuellen Masseleitung (GNDV), welche über einen NMOS-Transistor (Q2) an eine tatsächliche Masse (GND) angeschlossen ist, verbunden. Während einer aktiven Periode sind die Transistoren (Q1, Q2) andauernd leitend, während sich die virtuelle Spannungsversorgungsleitung (VDDV) und die virtuelle Masseleitung (GNDV) auf Spannungsversorgungspotential (VDD) bzw. auf Massepotentialen (GND) befinden. Während einer Standby-Periode befinden sich die Transistoren (Q1, Q2) periodisch in einem leitenden/nichtleitenden Zustand, wodurch die virtuelle Spannungsversorgungsleitung (VDDV) und die virtuelle Masseleitung (GNDV) geladen und entladen wird, wobei der Leistungsverbrauch verringert wird, während ein Verlust der durch die Logikschaltung (L_1) gehaltenen Informationen verhindert wird.



DE 196 15 413 A 1

Die Erfindung bezieht sich auf eine integrierte Halbleiterschaltung und insbesondere auf eine integrierte Halbleiterschaltung, mit der ein Leckstrom während eines Standby-Betriebes dadurch verringert werden kann, daß eine Stromversorgungsleitung und eine Masseleitung eines logischen Schaltungsabschnitts unterbrochen werden, wobei die in einer sequentiellen Schaltung, wie beispielsweise einer Zwischenspeicherschaltung und einer Registerschaltung des logischen Schaltungsabschnitts gespeicherten logischen Daten über eine verlängerte Standby-Periode nicht verloren gehen.

Die neuesten Fortschritte bei der Integration von integrierten Halbleiterschaltungen und die weite Verbreitung ihrer Anwendungsgebiete führten zu einer verstärkten technischen Untersuchung der Tatsache, wie der Leistungsverbrauch der integrierten Halbleiterschaltung oder des Halbleiterbausteins verringert werden kann. Die Verringerung des Leistungsverbrauchs einer integrierten Halbleiterschaltung sowie der Anstieg ihrer Leistungsfähigkeit wurde zu einem wichtigen technischen Faktor, der den Wert einer integrierten Halbleiterschaltung erhöht, da sich dadurch die Lebensdauer einer eingebauten Batterie für eine tragbare Informationsausrüstung, wie beispielsweise ein Telefon, ein elektronisches Notebook und ein Miniaturcomputer (PC) erhöht. Darüber hinaus wird der Wert der integrierten Schaltung dadurch erhöht, da die Größe einer Kühlvorrichtung und eines Spannungsversorgungsgerätes für eine Hochleistungsinformationsverarbeitungsvorrichtung verringert werden können und die sozialen Anforderungen an einen globalen Umweltschutz durch effektive Nutzung von Energieresourcen gewährleistet sind.

Eine der effektivsten Annäherungen zur Verringerung des Leistungsverbrauchs einer Halbleitervorrichtung erhält man durch Verringerung der für den Betrieb der Halbleitervorrichtung notwendigen Spannung, wie nachfolgend beschrieben wird. Der Leistungsverbrauch einer CMOS (complementary metal-oxide-semiconductor)-LSI (large scale integration)-Schaltung bestimmt sich durch:

$$P = I_{dc} \cdot V_{DD} + C_T \cdot f \cdot V_{DD}^2$$

wobei I_{dc} eine Gleichstromkomponente, C_T eine Gesamtkapazität in der LSI-Schaltung, f eine Durchschnittsbetriebsfrequenz und V_{DD} die Spannungsversorgung ist.

Eine weitere bereits vorgeschlagene Annäherung besteht aus einer Architektur, die derart ausgestaltet ist, daß beispielsweise der Betrieb eines Schaltungsblocks gestoppt wird, der während einer Informationsverarbeitung für bestimmte Informationsverarbeitungsschritte nicht benötigt wird, wodurch die Werte C_T und f wirkungsvoll verringert werden und dadurch ein Strom I verkleinert wird. Unglücklicherweise erwartet man für die Werte von C_T und f in der oben genannten Gleichung für die Zukunft anwachsende Werte, da insgesamt die Tendenz in Richtung noch höherer Integration und Leistung bzw. Geschwindigkeit der integrierten Halbleiterschaltungen geht.

Andererseits besteht eine große Wahrscheinlichkeit, daß sich die Spannungsversorgung V_{DD} mit fortschreitender Technologie verringert, wobei ungefähr die quadrierte Spannungsversorgung V_{DD} den Leistungsverbrauch direkt beeinflusst. Die Spannungsversorgung

V_{DD} beeinflusst somit den Leistungsverbrauch sehr stark. Da die Verringerung des Leistungsverbrauchs gleich der Verringerung der Spannung ist, wird nunmehr die Entwicklung von Niederspannungsschaltungen vermehrt gefordert.

Wenn beispielsweise ein Halbleitergerät mit einer Spannungsversorgung von 5 V bei 1,5 V betrieben wird, verringert sich der Leistungsverbrauch um ca. ein Zehntel (genauer gesagt $[1,5/5,0]^2$).

Unerwünschte Nebeneffekte, die mit der Verringerung der Spannungsversorgung einhergehen, sind die verringerte Fähigkeit des Transistors, einen Strom einzuspeisen und die sich ergebende geringere Betriebsgeschwindigkeit, wie nachfolgend beschrieben wird.

Zur Gewährleistung einer normalen Schaltungsoperation muß die Differenz zwischen dem Ein-Zustand-Strom und dem Aus-Zustand-Strom eines Transistors ca. das Siebenfache seines Wertes sein. Zur Sicherstellung dieses Unterschieds darf eine Schwellwertspannung V_{th} nicht ununterscheidbar verringert werden. Beispielsweise erhöht sich der Leckstrom (Stromfluß, wenn ein Transistor abgeschaltet ist) eines typischen existierenden Transistors um mindestens eine Größenordnung, wenn die Schwellwertspannung V_{th} um 0,1 V verringert wird. Aus diesem Grund bewirkt die Verringerung der Schwellwertspannung V_{th} einen scharfen Anstieg des Stroms während des Standby-Betriebes (nachfolgend als Standby-Strom bezeichnet), wodurch die Batteriebensdauer einer tragbaren Informationsausrüstung erheblich verringert wird.

Aufgrund der notwendigen Unterdrückung des Standby-Stroms kann auf diese Weise die Verringerung der Spannungsversorgung V_{DD} nicht die Schwellwertspannung V_{th} entsprechend verringern. Da die Stromeinspeisefähigkeit proportional zu $(V_{DD} - V_{th})^2$ ist, bewirkt die Verringerung der Spannungsversorgung V_{DD} eine Abnahme des Wertes $(V_{DD} - V_{th})^2$, wodurch sich eine verringerte Stromeinspeisefähigkeit des Transistors sowie Operationsgeschwindigkeit der Schaltung ergibt.

Gemäß dem Stand der Technik ist es für die Verringerung des Leistungsverbrauchs durch Verringerung der Spannungsversorgung sehr schwierig, einen Abfall in der Operationsgeschwindigkeit zu verhindern. Um dieses Problem zu lösen, wurde eine Halbleitervorrichtung mit einer Vielzahl von Schwellwertspannungen oder ein sogenannter Mehrfach-Schwellwert CMOS (nachfolgend als MTCMOS bezeichnet) vorgeschlagen. Eine derartige Technologie ist in "Electronic Engineering, The Nikkan Kogyo Shimbun Ltd. September 1994, Seiten 29-32" offenbart.

Die Fig. 9 ist ein Schaltbild, welches die MTCMOS-Schaltung im Konzept darstellt. Die MTCMOS-Schaltung besitzt zwei Arten von CMOS-Transistoren: Transistoren HT mit hohem Schwellwert und Transistoren LT mit niederem Schwellwert.

Der Hoch-Schwellwerttransistor HT ist ein Transistor, der für allgemeine Prozesse verwendet wird. Der Nieder-Schwellwerttransistor LT besitzt eine Schwellwertspannung V_{th} zwischen 0,2 bis 0,3 V, wodurch eine Normal-Ein-Bedingung (Bedingung, in der der Transistor nicht aus ist, wenn die Gatespannung null ist) für den Fall von Störungen verhindert wird, die von den Herstellungsschritten herrühren. In diesem Fall ist der Leckstrom des Transistors LT um mindestens das Tausendfache größer als der des Transistors HT. Die Schaltung, welche lediglich aus Transistoren LT besteht, ruft einen ernsthaft anwachsenden Standby-Strom hervor.

Die MTCMOS-Schaltung wurde zur Unterdrückung des Standby-Stromanstiegs entworfen.

Eine Vielzahl von Logikschaltungen L_i ($i = 1, 2, \dots$) sind mit einer virtuellen Spannungsversorgungsleitung VDDV und einer virtuellen Masseleitung GNDV verbunden. Die virtuelle Spannungsversorgungsleitung VDDV ist mit einer tatsächlichen Spannungsversorgung VDD über einen PMOS-Transistor Q1 verbunden, der ein Hoch-Schwellwerttransistor HT ist. Entsprechend ist die virtuelle Masseleitung GNDV mit einer tatsächlichen Masse GND über einen NMOS-Transistor Q2 verbunden, der ein Hoch-Schwellwerttransistor HT ist.

An das Gate des Transistors Q1 wird ein Signal SL angelegt, während das invertierte Signal \overline{SL} an das Gate des Transistors Q2 angelegt wird.

Die Fig. 10 ist eine Darstellung der Kurvensignale, welche den Betrieb der MTCMOS-Schaltung gemäß Fig. 9 zeigen. Während einer aktiven Periode liegt das Signal SL auf Massepotential GND (für die Masse GND und für das Massepotential GND werden die gleichen Bezugszeichen verwendet), und das Signal \overline{SL} liegt auf dem Potential der Spannungs-Versorgung VDD (entsprechend werden für die Spannungsversorgung VDD und das Potential der Spannungsversorgung VDD die gleichen Bezugszeichen verwendet).

Während der aktiven Periode sind der PMOS-Transistor Q1 und der NMOS-Transistor Q2 eingeschaltet und die virtuelle Spannungsversorgungsleitung VDDV und die virtuelle Masseleitung GNDV mit der Spannungsversorgung VDD und der Masse GND entsprechend verbunden. Somit erhalten die virtuelle Spannungsversorgungsleitung VDDV, die virtuelle Masseleitung GNDV und die logischen Schaltungen L_i den Strom über einen niederohmigen Strompfad, weshalb eine Hochgeschwindigkeitsoperation möglich ist, wenn die Spannungsversorgung gering ist.

Während einer Standby-Periode ist das Signal SL auf dem Potential der Spannungsversorgung VDD und das Signal \overline{SL} auf dem Massepotential GND. In diesem Zustand sind die Transistoren Q1 und Q2 abgeschaltet. Die Spannungsversorgung VDD und die Masse GND sind elektrisch von den aus den Transistoren LT bestehenden logischen Schaltungen L_i abgetrennt, weshalb der Leckstrom der gesamten Schaltung nur in den Transistoren Q1 und Q2 erzeugt wird, welche aus den Transistoren HT bestehen. Da der Transistor LT mehr Leistung verbraucht, wie oben beschrieben wurde, kann die MTCMOS-Schaltung einen größeren Leistungsverbrauchsbetrag im Standby-Betrieb verringern als eine aus lediglich Transistoren LT bestehende Schaltung.

Das herkömmliche für Niederspannungsoperationen beabsichtigte Halbleitergerät ist wie oben beschrieben aufgebaut. Während der Standby-Periode werden die virtuelle Spannungsversorgungsleitung VDDV und die virtuelle Masseleitung GNDV elektrisch von der tatsächlichen Spannungsversorgung VDD und der tatsächlichen Masse GND entsprechend getrennt und in einen Hochimpedanzzustand bzw. hochohmigen Zustand geführt.

Über eine verlängerte Standby-Periode fließt ein Leckstrom von der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV über die Transistoren LT, welche die logischen Schaltungen L_i bilden. Durch den vorstehend genannten großen Leckstrom der Transistoren LT ergibt sich, daß die Potentiale der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV sich mit der Zeit aneinander annähern.

In diesem Fall besteht insbesondere eine erhöhte Gefahr, daß eine sequentielle Schaltung (welche eine Speicherschaltung aufweist) zum Speichern von logischen Werten, wie beispielsweise eine Registerschaltung, eine Zwischenspeicherschaltung und eine Flipflop-Schaltung, welche in den logischen Schaltungen L_i enthalten sind, die logischen Informationen nicht länger behalten können und die abgespeicherten Informationen verlieren. Dies bedeutet, daß das Halbleitergerät nicht in den Originalzustand zurückkehrt, wenn die Standby-Periode zur aktiven Periode zurückkehrt, wodurch sich beträchtliche Nachteile im praktischen Gebrauch ergeben.

Gemäß einem ersten Teilaspekt der Erfindung besitzt die integrierte Halbleiterschaltung eine erste Spannungsversorgung, eine erste Spannungsversorgungsleitung zum Halten von elektrischen Ladungen, einen ersten Schalter mit einem ersten Ende, welches mit der ersten Spannungsversorgung verbunden ist und einem zweiten Ende, welches mit der ersten Spannungsversorgungsleitung verbunden ist, und zumindest einer logischen Schaltung, welche eine sequentielle Schaltung besitzt, die über die erste Spannungsversorgungsleitung mit dem zweiten Ende des ersten Schalters verbunden ist, wobei der erste Schalter konstant leitend ist während einer ersten Periode, in der die logische Schaltung aktiv ist, und wobei der erste Schalter intermittierend leitend ist während einer zweiten Periode, in der die logische Schaltung im Standby-Betrieb ist.

Gemäß einem zweiten Aspekt der vorliegenden Erfindung weist zumindest eine Logikschaltung eine Vielzahl von logischen Schaltungen auf.

Gemäß einem dritten Aspekt der vorliegenden Erfindung besitzt die integrierte Halbleiterschaltung einen Zeitgeber zum Erzeugen eines Steuersignals zum Steuern des leitenden Zustands des ersten Schalters während der zweiten Periode.

Gemäß einem vierten Aspekt der vorliegenden Erfindung besitzt die integrierte Halbleiterschaltung eine Spannungsdetektorschaltung zum Erfassen eines ersten Potentials, welches dem Potential auf der ersten Spannungsversorgungsleitung entspricht, wobei die Spannungsdetektorschaltung den ersten Schalter in den leitenden Zustand bringt, wenn das erste Potential während der zweiten Periode außerhalb eines vorgegebenen Bereiches fällt.

Gemäß einem fünften Aspekt der vorliegenden Erfindung besitzt die integrierte Halbleiterschaltung eine zweite Spannungsversorgung; eine zweite Spannungsversorgungsleitung zum Halten elektrischer Ladungen; einen zweiten Schalter, dessen erstes Ende mit der zweiten Spannungsversorgung und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung verbunden ist; wobei die sequentielle Schaltung mit dem zweiten Ende des zweiten Schalters über die zweite Spannungsversorgungsleitung verbunden ist, und der leitende/nicht leitende Zustand des zweiten Schalters mit dem leitenden/nichtleitenden Zustand des ersten Schalters einhergeht.

Gemäß einem sechsten Aspekt der vorliegenden Erfindung weist die Logikschaltung ferner eine Kombinationsschaltung auf und die integrierte Halbleiterschaltung besitzt darüber hinaus einen zweiten Schalter, dessen erstes Ende mit der ersten Spannungsversorgung und dessen zweites Ende mit der Kombinationsschaltung verbunden ist, wobei der zweite Schalter während der ersten Periode andauernd leitend ist und während der zweiten Periode andauernd nichtleitend ist.

Gemäß einem siebten Aspekt der vorliegenden Erfin-

5 dung besitzt die integrierte Halbleiterschaltung eine zweite Spannungsversorgung; eine zweite Spannungsversorgungsleitung zum Halten elektrischer Ladungen; einen dritten Schalter, dessen erstes Ende mit der zweiten Spannungsversorgung und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung verbunden ist; einen vierten Schalter mit einem ersten Ende, welches mit der zweiten Spannungsversorgung verbunden ist und einem zweiten Ende; wobei die sequentielle Schaltung mit dem zweiten Ende des dritten Schalters über die zweite Spannungsversorgungsleitung verbunden ist; die Kombinationsschaltung darüber hinaus mit dem zweiten Ende des vierten Schalters verbunden ist, der leitende/nicht leitende Zustand des dritten Schalters mit dem leitenden/nicht leitenden Zustand des ersten Schalters einhergeht, und der leitende/nichtleitende Zustand des vierten Schalters mit dem leitenden/nichtleitenden Zustand des zweiten Schalters einhergeht.

Gemäß einem achten Aspekt der vorliegenden Erfindung besitzt die integrierte Halbleiterschaltung eine Spannungsversorgung zum Liefern eines vorbestimmten Potentials; eine Spannungsversorgungsleitung zum Halten elektrischer Ladungen; und eine Logikschaltung; bestehend aus einer sequentiellen Schaltung, welche über die Spannungsversorgungsleitung während einer ersten Periode andauernd mit der Spannungsversorgung verbunden ist und welche während einer zweiten Periode über die Spannungsversorgungsleitung intermittierend mit der Spannungsversorgung verbunden ist.

Gemäß einem neunten Aspekt der vorliegenden Erfindung weist die Logikschaltung darüber hinaus eine Kombinationsschaltung auf, welche während der ersten Periode andauernd mit der Spannungsversorgung verbunden ist und während der zweiten Periode andauernd von der Spannungsversorgung getrennt ist.

Die integrierte Halbleiterschaltung gemäß dem ersten Teilaspekt der Erfindung muß die logische Schaltung nicht während der zweiten Periode ansteuern. Jedoch sollte der während der ersten Periode vor der zweiten Periode erzeugte Zustand gehalten werden, damit eine Fehlfunktion der sequentiellen Schaltung in der logischen Schaltung während der ersten Periode, welche der zweiten Periode nachfolgt, verhindert werden kann. Da die erste Spannungsversorgung während der zweiten Periode in intermittierender Weise mit der sequentiellen Schaltung verbunden ist, wird der Leistungsverbrauch unterdrückt und der Zustand der sequentiellen Schaltung wird durch das Anlegen von elektrischer Ladung an die erste Spannungsversorgungsleitung gehalten.

In der integrierten Halbleiterschaltung gemäß dem zweiten Teilaspekt der Erfindung kann, wenn eine Vielzahl von logischen Schaltungen im Standby-Betrieb sind, die elektrische Ladung, welche Fehlfunktionen für alle logischen Schaltungen verhindert, der ersten Spannungsversorgungsleitung dadurch zugeführt werden, daß nur der erste Schalter betätigt wird.

In der integrierten Halbleiterschaltung gemäß einem dritten Teilaspekt der Erfindung kann der erste Schalter während der zweiten Periode automatisch in intermittierenden Leitungskontakt gebracht werden.

In der integrierten Halbleiterschaltung gemäß dem vierten Teilaspekt der Erfindung kann die für die sequentielle Schaltung zum Halten des Zustands für die erste Periode ausreichende elektrische Ladung konstant auf der ersten Spannungsversorgungsleitung während der zweiten Periode anliegen.

In der integrierten Halbleiterschaltung gemäß dem

fünften und siebten Teilaspekt der Erfindung wird die zweite Spannungsversorgung intermittierend mit der sequentiellen Schaltung verbunden. Dadurch wird der Leistungsverbrauch unterdrückt und der Zustand der sequentiellen Schaltung durch die Zufuhr von elektrischen Ladungen an die zweite Spannungsversorgungsleitung gehalten.

In der integrierten Halbleiterschaltung gemäß dem sechsten Teilaspekt der Erfindung muß die Kombinationsschaltung, deren Ausgangssignal nur durch den Zustand des augenblicklich anliegenden Signals bestimmt ist, nicht den Signalzustand für die erste Periode vor der zweiten Periode während der zweiten Periode halten, und sie muß nicht mit elektrischer Ladung versorgt werden. Darüber hinaus ist es nicht gefordert, daß die integrierte Halbleiterschaltung ununterscheidbare elektrische Ladungen während der zweiten Periode für die logische Schaltung sicherstellt und daß sie elektrische Ladungen an die Kombinationsschaltung liefert, wodurch der Leistungsverbrauch weiter verringert wird.

In der integrierten Halbleiterschaltung gemäß dem achten Teilaspekt der Erfindung wird die logische Schaltung während der ersten Periode aktiv betrieben. Während der zweiten Periode befindet sich die logische Schaltung im Standby-Betrieb und muß nicht angesteuert werden, wobei jedoch der während der ersten Periode vor der zweiten Periode erzeugte Zustand gehalten werden muß, um Fehlfunktionen in der sequentiellen Schaltung während der auf die zweite Periode nachfolgenden ersten Periode zu verhindern. Die Spannungsversorgung ist unterbrechend bzw. intermittierend mit der Spannungsversorgungsleitung während der zweiten Periode derart verbunden, daß die elektrischen Ladungen, welche die Beibehaltung des Zustands der sequentiellen Schaltung auf der Spannungsversorgungsleitung erlauben, wodurch wiederum der Leistungsverbrauch verringert wird.

In der integrierten Halbleiterschaltung gemäß dem neunten Teilaspekt der Erfindung muß die Kombinationsschaltung, deren Ausgangssignal lediglich durch den Zustand des augenblicklich anliegenden Signals bestimmt ist, den Zustand für die erste Periode vor der zweiten Periode während der zweiten Periode nicht halten. Daher ist es nicht notwendig, der Kombinationsschaltung in der Logikschaltung, die in der zweiten Periode im Standby-Betrieb ist, vorab elektrische Ladungen zuzuführen. Die integrierte Halbleiterschaltung muß die elektrischen Ladungen für die Logikschaltung nicht willkürlich während der zweiten Periode sicherstellen, und sie muß der Kombinationsschaltung die elektrischen Ladungen nicht liefern, weshalb der Leistungsverbrauch weiter gesenkt wird.

Die vorliegende Erfindung löst das Problem einer sequentiellen Schaltung, welche nicht mehr in den Originalzustand während einer aktiven Periode nach einer verlängerten Standby-Periode zurückkehrt. Der Erfindung liegt daher die Aufgabe zugrunde, eine Halbleitervorrichtung zu schaffen, welche bei einer geringen Spannung während einer aktiven Periode mit hohen Geschwindigkeiten arbeitet und welche einen Leckstrom während einer Standby-Periode unterdrückt und eine zuverlässige Arbeitsweise während einer nachfolgenden aktiven Periode sicherstellt.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Fig. 1 eine Darstellung von Kurvensignalen, die den

Arbeitszeitablauf eines ersten erfindungsgemäßen Ausführungsbeispiels zeigen;

Fig. 2 ein Schaltbild eines zweiten erfindungsgemäßen Ausführungsbeispiels;

Fig. 3 ein Schaltbild eines dritten erfindungsgemäßen Ausführungsbeispiels;

Fig. 4 eine Darstellung von Kurvensignalen, die den Arbeitszeitablauf des dritten erfindungsgemäßen Ausführungsbeispiels zeigen;

Fig. 5 ein Schaltbild eines vierten erfindungsgemäßen Ausführungsbeispiels;

Fig. 6 eine Darstellung von Kurvensignalen, die den Arbeitszeitablauf des vierten erfindungsgemäßen Ausführungsbeispiels zeigen;

Fig. 7 ein Schaltbild eines fünften erfindungsgemäßen Ausführungsbeispiels;

Fig. 8 ein Schaltbild eines sechsten erfindungsgemäßen Ausführungsbeispiels;

Fig. 9 ein Konzept eines Schaltbilds einer MTCMOS-Schaltung; und

Fig. 10 eine Darstellung von Kurvensignalen, die die Arbeitsweise der MTCMOS-Schaltung darstellen.

Erstes Ausführungsbeispiel

Fig. 1 zeigt eine Darstellung von Kurvensignalen, die die Betriebszeitabläufe eines ersten erfindungsgemäßen Ausführungsbeispiels darstellen. Das erste Ausführungsbeispiel wird auf die in Fig. 9 dargestellte MTCMOS-Schaltung angewendet, das heißt auf die MTCMOS-Schaltung, welche eine Spannungsversorgung VDD besitzt, die ein Spannungsversorgungspotential VDD liefert, eine Masse GND, die ein Massepotential GND liefert, eine virtuelle Spannungsversorgungsleitung VDDV, eine virtuelle Masseleitung GNDV, einen Hoch-Schwellwert-PMOS-Transistor Q1, dessen Sourceanschluß mit der Spannungsversorgung VDD und dessen Drainanschluß mit der virtuellen Spannungsversorgungsleitung VDDV verbunden ist, einen Hoch-Schwellwert-NMOS-Transistor Q2, dessen Sourceanschluß mit der Masse GND und dessen Drainanschluß mit der virtuellen Masseleitung GNDV verbunden ist, und eine Vielzahl von logischen Schaltungen L_i ($i = 1, 2, \dots$), welche über die virtuelle Spannungsversorgungsleitung VDDV mit dem Drainanschluß des PMOS-Transistors Q1 verbunden sind und die über die virtuelle Masseleitung GNDV mit dem Drainanschluß des NMOS-Transistors Q2 verbunden sind. Die logischen Schaltungen L_i sind durch Nieder-Schwellwerttransistoren LT ausgestaltet.

Jede der Logikschaltungen L_i besitzt eine sequentielle Schaltung, welche eine Vorablogik zum Bestimmen der augenblicklichen Logik benötigt. Die virtuelle Spannungsversorgungsleitung VDDV weist eine parasitäre Kapazität C_v auf, während die virtuelle Masseleitung GNDV eine parasitäre Kapazität C_g besitzt.

Eine aktive Periode ist eine Zeitdauer, in der die logischen Schaltungen L_i eine logische Verarbeitung praktisch durchführen, während eine Standby-Periode eine Zeitdauer ist, in der die logischen Schaltungen L_i keine logische Verarbeitung durchführen. Ein System zum Ansteuern einer integrierten Halbleiterschaltung, welche die MTCMOS-Schaltung aufweist, bestimmt die Arbeitsbedingungen des Systems (beispielsweise die Taustatureingabewartezeit eines PCs, einen Wartezustand eines tragbaren Telefons und dergleichen), um ein Steuersignal der integrierten Halbleiterschaltung entsprechend zuzuführen, wodurch festgestellt wird, welche der

beiden aktiven bzw. Standby-Perioden eingestellt ist. Im Ansprechen auf das Steuersignal werden die Signale SL und SL in der integrierten Halbleiterschaltung erzeugt. Während der Standby-Periode sind die Transistoren Q1 und Q2 abgeschaltet, wodurch der Leckstrom in den logischen Schaltungen L_i unterdrückt wird.

Während der durch herkömmliche Systeme spezifizierten Standby-Periode sind, da die Signale SL und SL in der integrierten Halbleiterschaltung immer auf den Potentialen VDD und GND gehalten werden, die Transistoren Q1 und Q2 abgeschaltet und die virtuelle Spannungsversorgungsleitung VDDV und die virtuelle Masseleitung GNDV elektrisch von der tatsächlichen Spannungsversorgung VDD und der tatsächlichen Masseleitung GND entsprechend getrennt. Die durch das System spezifizierte verlängerte Standby-Periode verringert daher das Potential der virtuellen Spannungsversorgungsleitung VDDV und erhöht das Potential der virtuellen Masseleitung GNDV mit der Zeit, bis der Potentialunterschied dazwischen letztendlich sehr klein wird, wodurch sich Verluste in der gespeicherten Potentialinformation (Logik) ergeben, welche durch einen Zwischenspeicher, ein Register, ein Flipflop oder dergleichen gehalten werden.

In diesem bevorzugten Ausführungsbeispiel werden jedoch während der durch das System spezifizierten Standby-Periode die Signale SL und SL intermittierend auf Aktiv-Periodenpotentiale gesetzt, das heißt auf die Potentiale GND und VDD. Die Transistoren Q1 und Q2 erzeugen hierbei eine intermittierende Verbindung zwischen der tatsächlichen Spannungsversorgung VDD und der virtuellen Spannungsversorgungsleitung VDDV sowie zwischen der tatsächlichen Masseleitung GND und der virtuellen Masseleitung GNDV. Dadurch kann die Abnahme des Potentials der virtuellen Spannungsversorgungsleitung VDDV und die Zunahme des Potentials der virtuellen Masseleitung GNDV auf halbem Wege gestöppt werden und während der in Fig. 1 dargestellten Standby-Periode auf die ursprünglichen Potentiale zurückkehren.

Dies bedeutet, daß elektrische Ladungen der parasitären Kapazität C_v auf der virtuellen Spannungsversorgungsleitung VDDV (Ladeleitung) zugeführt werden, während elektrische Ladungen von der parasitären Kapazität C_g auf der virtuellen Masseleitung GNDV (Entladeleitung) abgegeben werden. Dadurch kann die virtuelle Spannungsversorgungsleitung VDDV und die virtuelle Masseleitung GNDV die für die Logikspeicherung erforderliche elektrische Ladung den Logikschaltungen L_i zugeführt werden, welche aus den Transistoren LT mit ihrem großen Leckstrom insbesondere zu ihren sequentiellen Schaltungen bestehen.

Da ferner die Vielzahl von logischen Schaltungen L_i mit der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV verbunden sind, müssen für die intermittierende Ladungszufuhr während der Standby-Periode lediglich die Transistoren Q1 und Q2 als Schalter arbeiten, während sie jedoch nicht auf jede der Vielzahl von logischen Schaltungen L_i durchgeführt werden muß.

Daher wird der Zustand der logischen Schaltung L_i zu dem Zustand für die aktive Periode nach einer verlängerten Standby-Periode zurückgeführt. Die einfache Benutzung und die Leistung werden nicht verschlechtert, wenn eine integrierte Halbleiterschaltung verwendet wird, welche die aktiven und Standby-Bedingungen häufig wiederholt.

Fig. 2 ist ein Schaltbild eines zweiten erfindungsgemäßen Ausführungsbeispiels. Eine integrierte Halbleiterschaltung (Chip) 101 ist mit der (tatsächlichen) Spannungsversorgung VDD und der (tatsächlichen) Masse GND verbunden und erhält von einem nicht dargestellten System ein Standby-Steuersignal SB.

Der Chip bzw. Baustein 101 besitzt die virtuelle Spannungsversorgungsleitung VDDV, die virtuelle Masseleitung GNDV, die Transistoren Q1 und Q2 und die logischen Schaltungen L_i in ähnlicher Weise wie das erste bevorzugte Ausführungsbeispiel gemäß der Anordnung von Fig. 9. Der Baustein 101 besitzt darüber hinaus eine Zeitgeberschaltung 11 und Invertierer 12 und 13.

Das System befiehlt dem Baustein 101, die Standby-Periode einzustellen, in dem es das Standby-Steuersignal SB verwendet. Bei Empfang des Standby-Steuersignals SB legt die Zeitgeberschaltung 11 ein Anfangs-High-Signal (beispielsweise das Potential VDD) an dem Invertierer 12 an. Der Invertierer 12 invertiert das empfangene Signal logisch zum Ausgangssignal SL, welches somit im Anfangszustand auf dem Potential GND liegt. Andererseits invertiert der Invertierer 13 das empfangene Signal logisch zum Ausgangssignal SL, welches somit im Anfangszustand auf dem Potential VDD liegt. Wie im ersten Ausführungsbeispiel beschrieben, sind die Transistoren Q1 und Q2 während der Standby-Periode ausgeschaltet.

Daraufhin startet die Zeitgeberschaltung 11 die Taktsignale und führt dem Invertierer 12 für eine vorbestimmte Ansteuerperiode nach Ablauf der einer vorbestimmten Ruheperiode ein Low-Signal zu (beispielsweise das Potential GND). Somit gibt der Invertierer 12 das Signal SL mit einem Potential VDD und der Invertierer 13 das Signal SL mit dem Potential GND als Ausgangssignal ab. Dadurch werden die Transistoren Q1 und Q2 eingeschaltet, wodurch die virtuelle Spannungsversorgungsleitung VDDV mit seinem verringerten Potential auf das Potential VDD geladen wird und die virtuelle Masseleitung GNDV mit ihrem erhöhten Potential auf das Potential GND entladen wird.

Nach dem Ablauf der Ansteuerperiode kehrt die Zeitgeberschaltung 11 in den Anfangszustand zurück und gibt während der vorbestimmten Ruheperiode erneut das High-Signal ab. Auf diese Weise wird durch das intermittierende Versetzen des Bausteins 101 in den aktiven Zustand selbst während der Standby-Periode der Verlust von logischen Informationen der sequentiellen Schaltungen in den logischen Schaltungen L_i verhindert.

Das System befiehlt dem Baustein 101, die aktive Periode erneut einzustellen, indem das Standby-Steuersignal SB verwendet wird. Bei Empfang des Standby-Steuersignals SB führt die Zeitgeberschaltung 11 ein konstantes Low-Signal dem Invertierer 12 zu, wobei die Signale SL und SL entsprechend auf den Potentialen GND und VDD liegen. Anschließend werden die Transistoren Q1 und Q2 eingeschaltet und die virtuelle Spannungsversorgungsleitung VDDV sowie die virtuelle Masseleitung GNDV arbeiten als entsprechende niederohmige Spannungsversorgungsleitung und Masseleitung, welche eine Hochgeschwindigkeits-Schaltungsoperation des Bausteins 101 ermöglichen.

Bei der vorstehend beschriebenen Arbeitsweise kann sich die Zeitgeberschaltung 11 im Wartezustand befinden, wenn sie aktiv ist oder sie kann für andere Zwecke verwendet werden. Die Zeitgeberschaltung 11 kann einfach mittels einem Verzögerungsglied aufgebaut wer-

den.

Wie vorstehend beschrieben, kann das zweite Ausführungsbeispiel die Erzeugung der Signale SL und SL ermöglichen, um die gleichen Wirkungen wie das erste Ausführungsbeispiel hervorzurufen.

Drittes Ausführungsbeispiel

Die Fig. 3 zeigt ein Schaltbild eines dritten erfindungsgemäßen Ausführungsbeispiels. Ein Baustein bzw. Chip 102 ist derart aufgebaut, daß die Zeitgeberschaltung 11 des Bausteins 101, wie sie anhand von Fig. 2 im zweiten Ausführungsbeispiel beschrieben ist, durch eine Spannungsdetektorschaltung 21 und einen monostabilen Multivibrator ersetzt ist.

Das System rum Bestimmen des Zeitablaufs für das intermittierende Laden und Entladen der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV während der Standby-Periode durch die Zeitgeberschaltung 11 gemäß dem zweiten Ausführungsbeispiel ist wegen ihrer einfachen Schaltungsanordnung vorteilhaft. Bevor jedoch der Zeitablauf durch die Zeitgeberschaltung 11 eingestellt wird, muß in Betracht gezogen werden, bei welchen Arbeitsbedingungen die integrierte Halbleiterschaltung aufgrund von Änderungen in der Spannung, der Temperatur oder der Chipherstellung noch funktionsfähig ist.

Insbesondere müssen der niedrigste Wert des abnehmenden Potentials der virtuellen Spannungsversorgungsleitung VDDV und der höchste Wert des zunehmenden Potentials der virtuellen Masseleitung GND berücksichtigt werden, bei der noch logische Informationen im Zwischenspeicher, Register bzw. Flipflop der logischen Schaltungen L_i gespeichert werden können. Diese Überlegungen müssen für jede einzelne aller logischen Schaltungen L_i durchgeführt werden. Darüber hinaus muß das intermittierende Laden und Entladen der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV mit der Logikschaltung zusammenarbeiten, die sich unter den schlechtesten Bedingungen befindet, da die virtuelle Spannungsversorgungsleitung VDDV und die virtuelle Masseleitung GNDV elektrische Ladungen an alle logischen Schaltungen L_i liefern.

Das in Zusammenarbeit mit der Logikschaltung, welche sich unter der schlechtesten Bedingung befindet, intermittierende Laden und Entladen muß nicht notwendigerweise auf einer Anzahl von anderen Logikschaltungen öfter durchgeführt werden. Dies erhöht den Leistungsverbrauch während der Standby-Periode, da für das Laden und Entladen Leistung verbraucht wird.

Im dritten bevorzugten Ausführungsbeispiel erfährt jedoch die Spannungsdetektorschaltung 21 das Potential der virtuellen Spannungsversorgungsleitung VDDV und das Potential der virtuellen Masseleitung GNDV, wobei sie die dazwischenliegende Potentialdifferenz ΔV abgibt und somit den optimalen Zeitablauf für das intermittierende Laden und Entladen ermöglicht.

Die Fig. 4 zeigt eine Darstellung von Kurvensignalen, welche Arbeitszeitabläufe gemäß dem dritten erfindungsgemäßen Ausführungsbeispiel zeigen. Die Arbeitsweise des Bausteins bzw. Chips 102 ist nachfolgend anhand der Fig. 3 und 4 beschrieben. Wenn das nicht dargestellte System dem Baustein 102 mittels des Standby-Steuersignals SB befiehlt, die Standby-Periode einzustellen, wird die Spannungsdetektorschaltung 21 aktiviert. Augenblicklich nach Eintritt in den Standby-Zustand entspricht die Potentialdifferenz ΔV dem Wert

(VDD-GND).

Wenn die Potentialdifferenz ΔV größer als ein vorbestimmter Minimalwert δV ($< VDD-GND$) ist, so gibt die Spannungsdetektorschaltung 21 ein High-Signal (beispielsweise das Potential VDD) und der monostabile Multivibrator 22 ein High-Signal (beispielsweise das Potential VDD) unter einer stabilen Bedingung aus. Somit befinden sich die Signale SL und SL auf den Potentialen VDD und GND, während die Transistoren Q1 und Q2 sich im nichtleitenden Zustand befinden.

Wenn die Potentialdifferenz ΔV nicht größer als der minimale Wert ΔV ist, so gibt die Spannungsdetektorschaltung 21 ein Low-Signal (beispielsweise das Potential GND) aus. Im Ansprechen auf die fallende Flanke des Ausgangssignals der Spannungsdetektorschaltung 21 gibt der monostabile Multivibrator 22 ein Low-Signal (beispielsweise das Potential GND) aus, welches über eine vorbestimmte Zeitperiode T instabil ist. Dadurch liegen die Signale SL und SL auf Massepotential GND bzw. Spannungsversorgungspotential VDD, während die Transistoren Q1 und Q2 im leitenden Zustand sind. Die virtuelle Masseleitung GNDV wird bis auf Massepotential GND entladen, während die virtuelle Spannungsversorgungsleitung VDDV auf Spannungsversorgungspotential VDD geladen wird. Die vorbestimmte Zeitperiode τ wird auf eine ausreichend lange Zeitdauer für das Laden und Entladen eingestellt.

Wenn die Potentialdifferenz δV nicht größer als der Minimalwert $3v$ ist solange die Standby-Periode andauert, so fällt das Ausgangssignal der Spannungsdetektorschaltung 21 erneut, und die virtuelle Masseleitung GNDV und die virtuelle Spannungsversorgungsleitung VDDV werden intermittierend für eine vorbestimmte Zeitperiode τ geladen und entladen.

Der Minimalwert δV wird im wesentlichen durch Erfassung der logischen Informationen einer "Dummy"- bzw. Test-Logikschaltung eingestellt, welche zum Halten der logischen Informationen eine geringfügig höhere Spannung benötigt als die Spannung, bei der noch logische Informationen in den Zwischenspeichern, Registern und Flipflops der logischen Schaltungen L_i gehalten werden können, welche am meisten durch den Abfall des Potentialunterschieds ΔV im Standby-Zustand beeinflusst werden.

Genauer gesagt besitzt die Spannungsdetektorschaltung 21 die "Dummy"-Logikschaltung, der die Spannungsdifferenz ΔV zugeführt wird, um das Low-Signal auszugeben, wenn die logische Information der "Dummy"-Logikschaltung nicht gehalten werden kann.

Durch Verwendung des Standby-Steuersignals SB befiehlt das System dem Baustein 102, erneut die aktive Periode einzustellen. Im Ansprechen auf das Standby-Signal SB wird die Spannungsdetektorschaltung 21 deaktiviert und ihr Betrieb gestoppt. Der monostabile Multivibrator 22 führt dem Invertierer 12 ein konstantes Low-Ausgangssignal zu, wenn die Spannungsdetektorschaltung 21 inaktiv ist, wobei er die Transistoren Q1 und Q2 einschaltet. Eine derartige Steuerung erhält man durch herkömmliche und bereits bekannte Techniken.

Das vorstehend beschriebene dritte Ausführungsbeispiel kann die Potentialdifferenz ΔV zwischen der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV innerhalb des Bausteins 102 anzeigen, wodurch intermittierend die virtuelle Spannungsversorgungsleitung VDDV und die virtuelle Masseleitung GNDV geladen und entladen wird, bevor die Potentialdifferenz den Wert erreicht, bei der die logischen Informationen, welche in der sequentiellen

Schaltung gespeichert sind, wie beispielsweise dem Zwischenspeicher, dem Register und dem Flipflop, nicht länger gehalten werden können. Dies erlaubt die Erweiterung von Zeitintervallen für das intermittierende Laden und Entladen während der Standby-Periode bis an die Grenze, die durch die Arbeitsbedingungen und die dem Baustein inhärenten Funktionsgrenzen vorgegeben sind, wodurch der Leistungsverbrauch während der Standby-Periode außerordentlich verringert wird.

Viertes Ausführungsbeispiel

Da die Größe der logischen Schaltungen innerhalb einer integrierten Halbleiterschaltung ansteigt, wachsen die Lastkapazitäten der virtuellen Spannungsversorgungsleitung und virtuellen Masseleitung, bis der Leistungsverbrauch trotz des intermittierenden Ladens und Entladens während der Standby-Periode nicht mehr vernachlässigt werden kann.

Die logischen Schaltungen besitzen eine Kombinationsschaltung, deren Ausgangssignal nur durch den Zustand eines augenblicklich anliegenden Signals bestimmt wird, und aus einer sequentiellen Schaltung, deren Ausgangssignal ohne Berücksichtigung des vorhergehenden Zustands nicht bestimmt ist. Die Kombinationsschaltung muß ihren Signalzustand nicht speichern.

Im vierten bevorzugten Ausführungsbeispiel sind zwei Paare von virtuellen Spannungsversorgungsleitungen und virtuellen Masseleitungen vorgesehen, wobei ein Paar für die Kombinationsschaltung und das andere für die sequentielle Schaltung verwendet wird. Nur die virtuelle Spannungsversorgungsleitung und die virtuelle Masseleitung für die sequentielle Schaltung zum Speichern ihres Signalzustands werden intermittierend geladen und entladen.

Die Fig. 5 zeigt ein Schaltbild des vierten erfindungsgemäßen Ausführungsbeispiels. Die Fig. 6 ist eine Darstellung eines Kurvensignals, die die Arbeitszeitabläufe des vierten Ausführungsbeispiels zeigen.

Ein Baustein 103 ist mit der (tatsächlichen) Spannungsversorgung VDD und der (tatsächlichen) Masse GND verbunden. Eine virtuelle Spannungsversorgungsleitung VDDV1 ist mit der Spannungsversorgung VDD über einen PMOS-Transistor Q11 verbunden, während eine virtuelle Spannungsversorgungsleitung VDDV2 mit der Spannungsversorgung VDD über einen PMOS-Transistor Q12 verbunden ist. Eine virtuelle Masseleitung GNDV1 ist mit der Masse GND über einen NMOS-Transistor Q21 verbunden, während eine virtuelle Masseleitung GNDV2 über einen NMOS-Transistor Q22 mit der Masse GND verbunden ist. Hoch-Schwellwerttransistoren HT werden als Transistoren Q11, Q12, Q21 und Q22 verwendet.

Eine Vielzahl von sequentiellen Schaltungen M_i ($i = 1, 2, \dots$) sind zwischen der virtuellen Spannungsversorgungsleitung VDDV1 und der virtuellen Masseleitung GNDV1 angeschlossen, während eine Vielzahl von Kombinationsschaltungen N_i ($i = 1, 2, \dots$) zwischen der virtuellen Spannungsversorgungsleitung VDDV2 und der virtuellen Masseleitung GNDV2 angeschlossen sind. Die sequentiellen Schaltungen M_i und die Kombinationsschaltungen N_i bilden die entsprechenden Logikschaltungen L_i . Genauer gesagt besteht jede Logikschaltung L_i im wesentlichen aus zwei Abschnitten: der sequentiellen Schaltung M_i , welche ihre Spannungsversorgung über die virtuelle Spannungsversorgungsleitung VDDV1 und die virtuelle Masseleitung GNDV1 erhält und der Kombinationsschaltung N_i , welche ihre

Spannung von der virtuellen Spannungsversorgungsleitung VDDV2 und der virtuellen Masseleitung GNDV2 erhält. Wie vorstehend beschrieben, werden Nieder-Schwellwerttransistoren LT für die Logikschaltungen L_i verwendet.

Die Signale SL1, SL1, SL2 und SL2 werden an die Gates der Transistoren Q11, Q12, Q21 und Q22 entsprechend angelegt. Die Beziehungen zwischen Änderungen in den Signalen SL1, SL1, SL2 und SL2 sowie Änderungen an den virtuellen Spannungsversorgungsleitungen VDDV1, VDDV2 und den virtuellen Masseleitungen GNDV1 und GNDV2 sind in Fig. 6 dargestellt. Die Kurvensignale der Signale SL1 und in der virtuellen Spannungsversorgungsleitung VDDV1 und der virtuellen Masseleitung GNDV1 sind denen der Signale SL und SL der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV gemäß Fig. 1 ähnlich. Die Kurvensignale der Signale SL2 und SL2 der virtuellen Spannungsversorgungsleitung VDDV2 und der virtuellen Masseleitung GNDV2 sind den Signalen SL und SL der virtuellen Spannungsversorgungsleitung VDDV und der virtuellen Masseleitung GNDV gemäß Fig. 10 ähnlich.

Somit kann der Zustand der sequentiellen Schaltungen M_i in einen solchen Zustand für die aktive Periode nach einer längeren Standby-Periode auf gleiche Weise wiederhergestellt werden, wie im ersten bevorzugten Ausführungsbeispiel. Andererseits wird in den Kombinationsschaltungen N_i das intermittierende Laden und Entladen der virtuellen Spannungsversorgungsleitung VDDV2 und der virtuellen Masseleitung GNDV2 während der Standby-Periode nicht durchgeführt.

Dies erlaubt eine weitere Verringerung des Leistungsverbrauchs und die Wiederherstellung des Zustands der logischen Schaltungen L_i zu einem solchen Zustand für die aktive Periode nach einer längeren Standby-Periode.

Fünftes Ausführungsbeispiel

Die Fig. 7 zeigt ein Schaltbild eines fünften erfindungsgemäßen Ausführungsbeispiels. Ein Baustein 104 besteht zusätzlich zu den Bauteilen des Bausteins 103 des vierten Ausführungsbeispiels gemäß Fig. 5 aus einer Zeitgeberschaltung 11 und Invertierern 12 bis 15.

Die Zeitgeberschaltung 11 empfängt das Standby-Steuersignal SB von der Außenseite des Bausteins 104. Der Invertierer 12 invertiert das Ausgangssignal der Zeitgeberschaltung 11 und gibt das Signal SL1 aus. Der Invertierer 13 invertiert das Ausgangssignal des Invertierers 12 und gibt das Signal SL1 aus. Der Invertierer 14 invertiert das Standby-Steuersignal SB und gibt das Signal SL2 aus. Der Invertierer 15 invertiert das Ausgangssignal des Invertierers 14 und gibt das Signal SL2 aus.

Das Standby-Steuersignal SB befindet sich während der aktiven Periode auf Low-Pegel (beispielsweise Massepotential GND). Die Zeitgeberschaltung 11 ist dann inaktiv und gibt den Low-Pegel aus. Dadurch sind die Signale SL1, SL1, SL2, SL2 entsprechend auf Low-, High-, Low-, und High-Pegel (beispielsweise Spannungsversorgungspotential VDD), während alle Transistoren Q11, Q12, Q21 und Q22 leitend sind. Ein derartiger Zustand ist in Fig. 6 dargestellt. Die virtuellen Spannungsversorgungsleitungen VDDV1 und VDDV2 liegen auf Spannungsversorgungspotential VDD, während die virtuellen Masseleitungen GNDV1 und GNDV2 auf Massepotential GND liegen.

Um dem Baustein 104 das Einstellen der Standby-Periode zu befehlen, wird das Standby-Steuersignal SB auf High-Pegel gelegt und die Zeitgeberschaltung 11 aktiviert. Ähnlich zum zweiten bevorzugten Ausführungsbeispiel gibt die Zeitgeberschaltung 11 den High-Pegel für die vorbestimmte Ruheperiode aus und gibt anschließend für die vorbestimmte Steuerperiode den Low-Pegel aus. Dadurch werden in der Ruheperiode die Transistoren Q11 und Q21 abgeschaltet und die Transistoren Q11 und Q21 für die Ansteuerperiode eingeschaltet. Der Ein-Aus-Betrieb der Transistoren Q11 und Q21 wird, solange die Standby-Periode andauert, periodisch durchgeführt. Die virtuelle Spannungsversorgungsleitung und die virtuelle Masseleitung werden spontan und intermittierend innerhalb des Bausteins 104 für die sequentiellen Schaltungen M_i , welche zum Halten der Informationen während der Standby-Periode benötigt werden, geladen und entladen.

Für die Kombinationsschaltungen N_i , welche nicht zum Halten der Informationen benötigt werden, besitzt das Signal SL2, welches den invertierten logischen Zustand des Standby-Steuersignals SB besitzt, den Low-Pegel, wodurch der Transistor Q22 abgeschaltet wird, während das Signal SL2 den High-Pegel besitzt, wodurch der Transistor Q12 abgeschaltet wird. Dadurch werden die virtuelle Spannungsversorgungsleitung VDDV2 und die virtuelle Masseleitung GNDV2 von der Spannungsversorgung VDD und der Masse GND isoliert. Dieser Zustand dauert so lange an, bis das System mittels des Standby-Steuersignals SB den Befehl gibt, die Standby-Periode zu beenden.

Das vorstehend genannte fünfte Ausführungsbeispiel ist derart ausgestaltet, daß die virtuelle Spannungsversorgungsleitung und die virtuelle Masseleitung für die zum Halten von Informationen während der Standby-Periode geforderte sequentielle Schaltung mittels der im Baustein enthaltenen Zeitgeberschaltung spontan und intermittierend geladen und entladen wird, während die virtuelle Spannungsversorgungsleitung und die virtuelle Masseleitung für die Kombinationsschaltungen, welche nicht zum Halten von Informationen benötigt werden, von der Spannungsversorgungsleitung und der Masseleitung über die Standby-Periode hinweg isoliert werden. Dadurch erreicht man eine Verringerung des Leistungsverbrauchs während der Standby-Periode und eine Informationsspeicherung innerhalb der Schaltung.

Sechstes Ausführungsbeispiel

Die Fig. 8 zeigt ein Schaltbild eines sechsten erfindungsgemäßen Ausführungsbeispiels. Ein Baustein 105 ist derart aufgebaut, daß die Zeitgeberschaltung 11 des Bausteins 104, wie sie im fünften Ausführungsbeispiel gemäß Fig. 7 beschrieben ist, durch eine Spannungsdetektorschaltung 21 und einen monostabilen Multivibrator 22 ersetzt ist. Die Arbeitsweise der Spannungsdetektorschaltung 21 und des monostabilen Multivibrators 22 ist der Arbeitsweise des dritten Ausführungsbeispiels ähnlich. Die Spannungsdetektorschaltung 21 erfaßt die Potentiale der virtuellen Spannungsversorgungsleitung VDDV1 und der virtuellen Masseleitung GNDV1 und gibt die dazwischenliegende Spannungsdifferenz ΔV ab.

Die Spannungsdifferenz zwischen der virtuellen Spannungsversorgungsleitung VDDV1 und der virtuellen Masseleitung GNDV1 wird während der Standby-Periode allmählich kleiner. Wenn die Potentialdifferenz nicht größer als der Minimalwert δV ist; bei der im Zwischenspeicher, Register und Flipflop gespeicherte

logische Information nicht mehr gehalten werden kann, gibt die Spannungsdetektorschaltung 21 ein Low-Signal aus. Dann liegt das Signal SL1 auf Massepotential GND und das Signal SL1 besitzt das Spannungsversorgungspotential VDD. Dadurch wird die virtuelle Spannungsversorgungsleitung VDDV1 für die sequentiellen Schaltungen auf das Spannungsversorgungspotential VDD aufgeladen und die virtuelle Masseleitung GNDV1 für die sequentiellen Schaltungen auf Massepotential GND entladen. Für die sequentiellen Schaltungen M_i , welche zum Halten der Informationen benötigt werden, wird während der Standby-Periode das spontane und intermittierende Laden und Entladen innerhalb des Bausteins 105 durchgeführt.

Für die Kombinationsschaltungen N_i , welche für das Halten von Informationen nicht benötigt werden, werden andererseits die virtuelle Spannungsversorgungsleitung VDDV2 und die virtuelle Masseleitung GNDV2 von der Spannungsversorgung VDD und der Masse GND getrennt bzw. isoliert, und zwar in gleicher Weise wie im fünften Ausführungsbeispiel.

Das sechste bevorzugte Ausführungsbeispiel ist wie vorstehend beschrieben derart ausgestaltet, daß die zum Halten von Informationen benötigten sequentiellen Schaltungen während der Standby-Periode geladen und entladen werden, sobald die Spannungsdetektorschaltung 21 innerhalb des Bausteins 105 die Spannungsdifferenz ΔV erfaßt, welche kleiner als der Minimalwert δV ist, und daß für die Kombinationsschaltungen, welche nicht zum Halten der Informationen benötigt werden, die virtuelle Spannungsversorgungsleitung VDDV2 und die virtuelle Masseleitung GNDV2 von der Spannungsversorgung VDD und der Masse GND über die Standby-Periode hinweg isoliert werden. Dadurch erhält man eine optimale Informationsspeicherung innerhalb der Schaltung und einen äußerst geringen Leistungsverbrauch während der Standby-Periode entgegen den Änderungsfaktoren, die dem Baustein 105 inhärent sind.

Während die Erfindung im einzelnen beschrieben wurde, ist die vorstehende Beschreibung auf allen Gebieten lediglich beispielhaft und nicht beschränkend. Es versteht sich von selbst, daß zahlreiche weitere Änderungen und Modifikationen möglich sind, ohne dabei vom Schutz der Erfindung abzuweichen.

Eine Logikschaltung ist zwischen einer virtuellen Spannungsversorgungsleitung, welche über einen PMOS-Transistor mit einer tatsächlichen Spannungsversorgung verbunden ist, und einer virtuellen Masseleitung, welche über einen NMOS-Transistor an eine tatsächliche Masse angeschlossen ist, verbunden. Während einer aktiven Periode sind die Transistoren andauernd leitend, während sich die virtuelle Spannungsversorgungsleitung und die virtuelle Masseleitung auf Spannungsversorgungspotential bzw. auf Massepotential befinden. Während einer Standby-Periode befinden sich die Transistoren periodisch in einem leitenden/nicht leitenden Zustand, wodurch die virtuelle Spannungsversorgungsleitung und die virtuelle Masseleitung geladen und entladen wird, wobei der Leistungsverbrauch verringert wird, während ein Verlust der durch die Logikschaltung gehaltenen Informationen verhindert wird.

Patentansprüche

1. Integrierte Halbleiterschaltung mit einer ersten Spannungsversorgung (VDD);

einer ersten Spannungsversorgungsleitung (VDDV), mittels der elektrische Ladungen gehalten werden können;

einem ersten Schalter (Q1) mit einem ersten Ende, welches mit der ersten Spannungsversorgung (VDD) verbunden ist, und einem zweiten Ende, welches mit der ersten Spannungsversorgungsleitung (VDDV) verbunden ist; und

zumindest einer Logikschaltung (L_i) mit einer sequentiellen Schaltung, welche über die erste Spannungsversorgungsleitung (VDDV) mit dem zweiten Ende des ersten Schalters (Q1) verbunden ist, wobei der erste Schalter (Q1) während einer ersten Periode, in der die Logikschaltung aktiv ist, andauernd leitend ist und der erste Schalter (Q1) während einer zweiten Periode, in der die Logikschaltung (L_i) sich in einem Standby-Betrieb befindet, intermittierend leitend ist.

2. Integrierte Halbleiterschaltung nach Patentanspruch 1, dadurch gekennzeichnet, daß die zumindest eine Logikschaltung (L_i) eine Vielzahl von logischen Schaltungen aufweist.

3. Integrierte Halbleiterschaltung nach Patentanspruch 2, gekennzeichnet durch einen Zeitgeber (11) zum Erzeugen eines Steuersignals zum Steuern des leitenden Zustands des ersten Schalters (Q1) während der zweiten Periode.

4. Integrierte Halbleiterschaltung nach Patentanspruch 1, gekennzeichnet durch eine Spannungsdetektorschaltung (21) zum Erfassen eines ersten Potentials, welches dem Potential auf der ersten Spannungsversorgungsleitung (VDDV) entspricht, wobei die Spannungsdetektorschaltung (21) den ersten Schalter (Q1) in den leitenden Zustand bringt, wenn das erste Potential während der zweiten Periode außerhalb eines vorgegebenen Bereiches fällt.

5. Integrierte Halbleiterschaltung nach Patentanspruch 1, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV) zum Halten von elektrischen Ladungen; einen zweiten Schalter, der mit seinem ersten Ende mit der zweiten Spannungsversorgung (GND) verbunden ist und mit seinem zweiten Ende mit der zweiten Spannungsversorgungsleitung (GNDV) verbunden ist;

wobei die sequentielle Schaltung mit dem zweiten Ende des zweiten Schalters (Q2) über die zweite Spannungsversorgungsleitung (GNDV) verbunden ist; und

der leitende/nichtleitende Zustand des zweiten Schalters (Q2) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q1) einhergeht.

6. Integrierte Halbleiterschaltung nach Patentanspruch 2, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV) zum Halten von elektrischen Ladungen; einem zweiten Schalter (Q2), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung (GNDV) verbunden ist;

wobei die sequentielle Schaltung mit dem zweiten Ende des zweiten Schalters (Q2) über die zweite Spannungsversorgungsleitung (GNDV) verbunden ist; und

der leitende/nichtleitende Zustand des zweiten Schalters (Q2) mit dem leitenden/nichtleitenden

Zustand des ersten Schalters (Q1) einhergeht.

7. Integrierte Halbleiterschaltung nach Patentanspruch 3, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV) zum Halten elektrischer Ladungen; einem zweiten Schalter (Q2), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung (GNDV) verbunden ist; wobei die sequentielle Schaltung mit dem zweiten Ende des zweiten Schalters (Q2) über die zweite Spannungsversorgungsleitung (GNDV) verbunden ist und

der leitende/nichtleitende Zustand des zweiten Schalters (Q2) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q1) einhergeht.

8. Integrierte Halbleiterschaltung nach Patentanspruch 4, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV) zum Halten elektrischer Ladungen; einen zweiten Schalter (Q2), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung (GNDV) verbunden ist; wobei die sequentielle Schaltung mit dem zweiten Ende des zweiten Schalters (Q2) über die zweite Spannungsversorgungsleitung (GNDV) verbunden ist, und

der leitende/nicht leitende Zustand des zweiten Schalters (Q2) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q1) einhergeht.

9. Integrierte Halbleiterschaltung nach Patentanspruch 1, dadurch gekennzeichnet, daß die logische Schaltung ferner eine Kombinationsschaltung (N_i) aufweist und die integrierte Halbleiterschaltung ferner einen zweiten Schalter (Q12) besitzt, dessen erstes Ende mit der ersten Spannungsversorgung (VDD) und dessen zweites Ende mit der Kombinationsschaltung (N_i) verbunden ist, und der zweite Schalter (Q12) während der ersten Periode andauernd leitend ist und während der zweiten Periode andauernd nichtleitend ist.

10. Integrierte Halbleiterschaltung nach Patentanspruch 2, dadurch gekennzeichnet, daß die Logikschaltung ferner eine Kombinationsschaltung (N_i) aufweist und die integrierte Halbleiterschaltung darüber hinaus einen zweiten Schalter (Q12) besitzt, dessen erstes Ende mit der ersten Spannungsversorgung (VDD) und dessen zweites Ende mit der Kombinationsschaltung (N_i) verbunden ist, wobei der zweite Schalter (Q12) während der ersten Periode andauernd leitend ist und während der zweiten Periode andauernd nichtleitend ist.

11. Integrierte Halbleiterschaltung nach Patentanspruch 3, dadurch gekennzeichnet, daß die Logikschaltung ferner eine Kombinationsschaltung (N_i) aufweist und die integrierte Halbleiterschaltung darüber hinaus einen zweiten Schalter (Q12) besitzt, dessen erstes Ende mit der ersten Spannungsversorgung (VDD) und dessen zweites Ende mit der Kombinationsschaltung (N_i) verbunden ist, wobei der zweite Schalter (Q12) während der ersten Periode andauernd leitend ist und während der zweiten Periode andauernd nichtleitend ist.

12. Integrierte Halbleiterschaltung nach Patentanspruch 4, dadurch gekennzeichnet, daß die Logik-

schaltung ferner eine Kombinationsschaltung aufweist und die integrierte Halbleiterschaltung darüber hinaus einen zweiten Schalter (Q12) besitzt, dessen erstes Ende mit der ersten Spannungsversorgung (VDD) und dessen zweites Ende mit der Kombinationsschaltung (N_i) verbunden ist, wobei der zweite Schalter (Q12) während der ersten Periode andauernd leitend ist und während der zweiten Periode andauernd nichtleitend ist.

13. Integrierte Halbleiterschaltung nach Patentanspruch 9, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV1) zum Halten elektrischer Ladungen; einen dritten Schalter (Q21), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung (GNDV1) verbunden ist; einen vierten Schalter (Q22) mit einem ersten Ende, welches mit der zweiten Spannungsversorgung (GND) verbunden ist und einem zweiten Ende; wobei

die sequentielle Schaltung (M_i) mit dem zweiten Ende des dritten Schalters (Q21) über die zweite Spannungsversorgungsleitung (GNDV1) verbunden ist;

die Kombinationsschaltung (N_i) darüber hinaus mit dem zweiten Ende des vierten Schalters (Q22) verbunden ist,

der leitende/nicht leitende Zustand des dritten Schalters (Q21) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q11) einhergeht, und der leitende/nicht leitende Zustand des vierten Schalters (Q22) mit dem leitenden/nichtleitenden Zustand des zweiten Schalters (Q12) einhergeht.

14. Integrierte Halbleiterschaltung nach Patentanspruch 10, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV1) zum Halten elektrischer Ladungen; einen dritten Schalter (Q21), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und dessen zweites Ende mit der zweiten Spannungsversorgungsleitung (GNDV1) verbunden ist; einen vierten Schalter (Q22) mit einem ersten Ende, welches mit der zweiten Spannungsversorgung (GND) verbunden ist und einem zweiten Ende; wobei

die sequentielle Schaltung (M_i) mit dem zweiten Ende des dritten Schalters (Q21) über die zweite Spannungsversorgungsleitung (GNDV1) verbunden ist;

die Kombinationsschaltung (N_i) darüber hinaus mit dem zweiten Ende des vierten Schalters (Q22) verbunden ist,

der leitende/nicht leitende Zustand des dritten Schalters (Q21) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q11) einhergeht, und der leitende/nicht leitende Zustand des vierten Schalters (Q22) mit dem leitenden/nichtleitenden Zustand des zweiten Schalters (Q12) einhergeht.

15. Integrierte Halbleiterschaltung nach Patentanspruch 11, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungsleitung (GNDV1) zum Halten elektrischer Ladungen; einen dritten Schalter (Q21), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und des-

sen zweites Ende mit der zweiten Spannungsversorgungslleitung (GNDV1) verbunden ist;
einen vierten Schalter (Q22) mit einem ersten Ende, welches mit der zweiten Spannungsversorgung (GND) verbunden ist und einem zweiten Ende; wobei

die sequentielle Schaltung (M_i) mit dem zweiten Ende des dritten Schalters (Q21) über die zweite Spannungsversorgungslleitung (GNDV1) verbunden ist;

die Kombinationsschaltung (N_i) darüber hinaus mit dem zweiten Ende des vierten Schalters (Q22) verbunden ist,

der leitende/nichtleitende Zustand des dritten Schalters (Q21) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q11) einhergeht, und der leitende/nichtleitende Zustand des vierten Schalters (Q22) mit dem leitenden/nicht leitenden Zustand des zweiten Schalters (Q12) einhergeht.

16. Integrierte Halbleiterschaltung nach Patentanspruch 12, gekennzeichnet durch eine zweite Spannungsversorgung (GND);

eine zweite Spannungsversorgungslleitung (GNDV1) zum Halten elektrischer Ladungen; einen dritten Schalter (Q21), dessen erstes Ende mit der zweiten Spannungsversorgung (GND) und dessen zweites Ende mit der zweiten Spannungsversorgungslleitung (GNDV) verbunden ist;

einen vierten Schalter (Q22) mit einem ersten Ende, welches mit der zweiten Spannungsversorgung (GND) verbunden ist und einem zweiten Ende; wobei

die sequentielle Schaltung mit dem zweiten Ende des dritten Schalters (Q21) über die zweite Spannungsversorgungslleitung (GNDV1) verbunden ist;

die Kombinationsschaltung (N_i) darüber hinaus mit dem zweiten Ende des vierten Schalters (Q22) verbunden ist,

der leitende/nichtleitende Zustand des dritten Schalters (Q21) mit dem leitenden/nichtleitenden Zustand des ersten Schalters (Q11) einhergeht, und der leitende/nicht leitende Zustand des vierten Schalters (Q22) mit dem leitenden/nichtleitenden Zustand des zweiten Schalters (Q12) einhergeht.

17. Integrierte Halbleiterschaltung, gekennzeichnet durch eine Spannungsversorgung (VDD, GND) zum Liefern eines vorbestimmten Potentials;

eine Spannungsversorgungslleitung (VDDV, GNDV) zum Halten elektrischer Ladungen; und eine Logikschaltung (L_i), bestehend aus einer sequentiellen Schaltung, welche über die Spannungsversorgungslleitung während einer ersten Periode andauernd mit der Spannungsversorgung verbunden ist und welche während einer zweiten Periode über die Spannungsversorgungslleitung intermittierend mit der Spannungsversorgung verbunden ist.

18. Integrierte Halbleiterschaltung nach Patentanspruch 17, dadurch gekennzeichnet, daß die Logikschaltung (L_i) darüber hinaus eine Kombinationsschaltung (N_i) aufweist, welche während der ersten Periode andauernd mit der Spannungsversorgung verbunden ist und während der zweiten Periode andauernd von der Spannungsversorgung getrennt ist.

FIG. 1

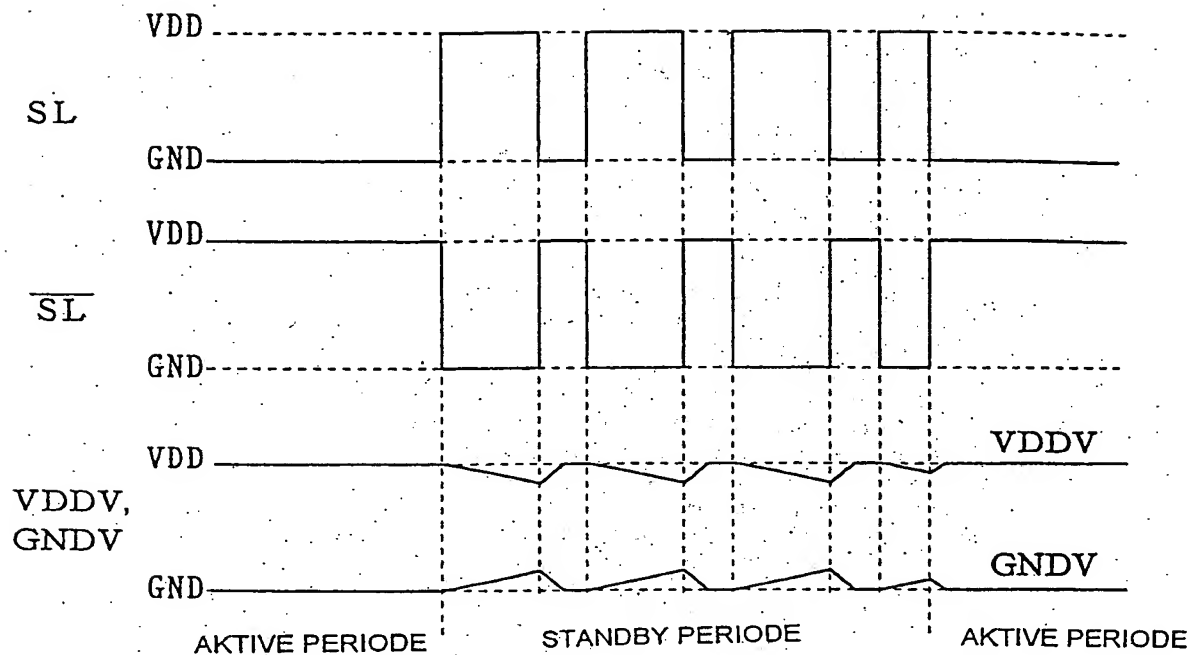


FIG. 2

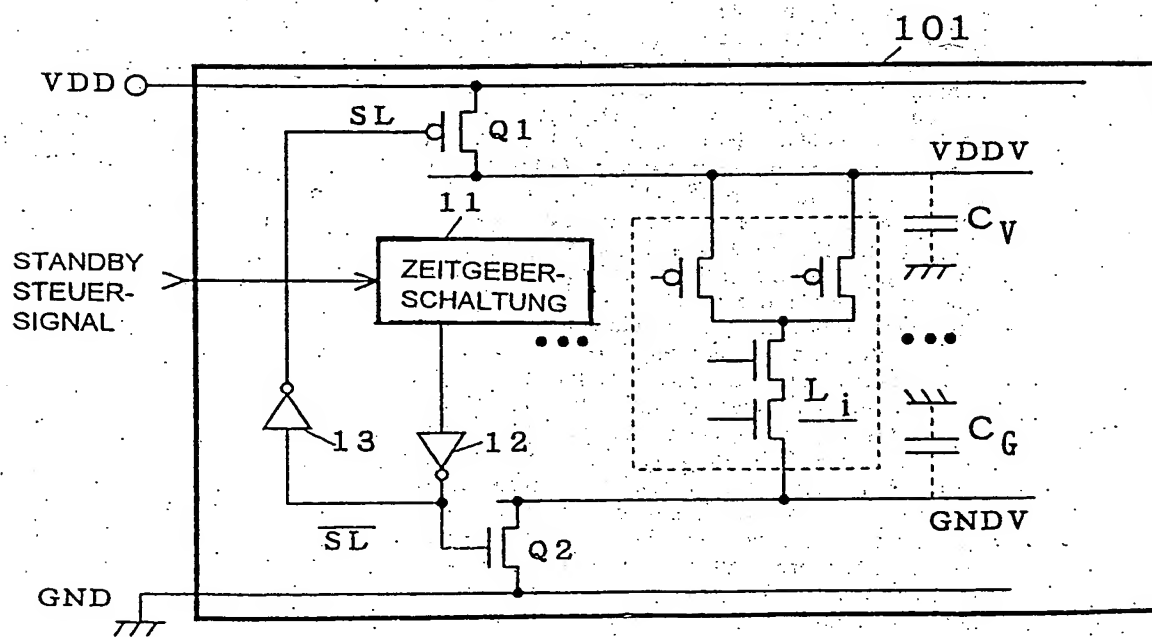


FIG. 3

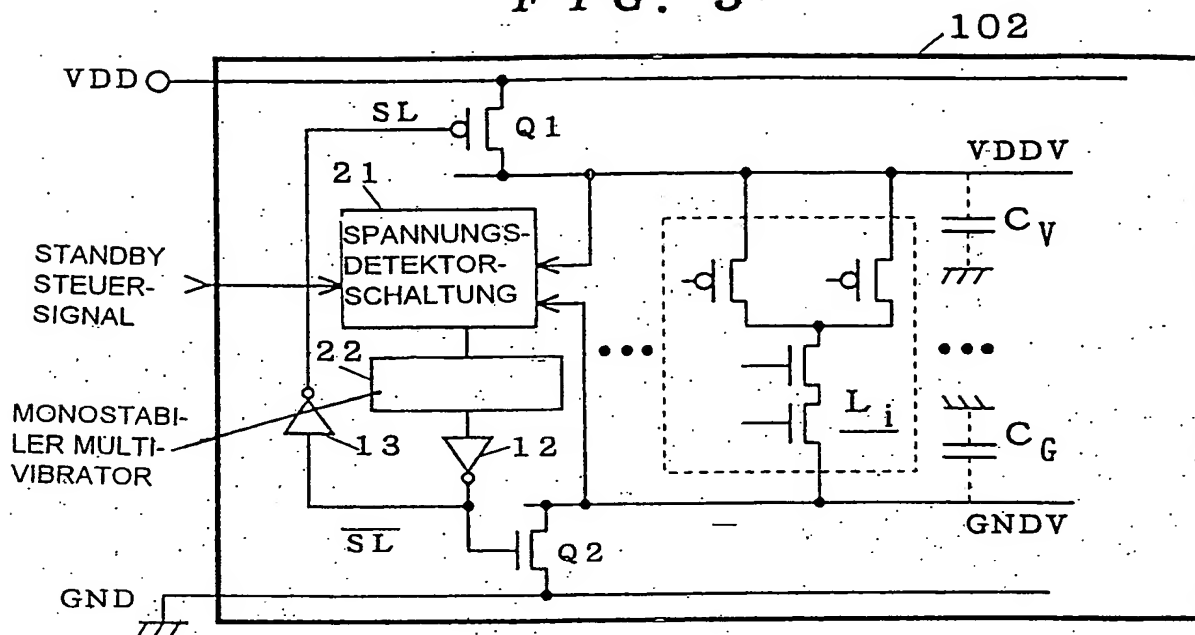


FIG. 4

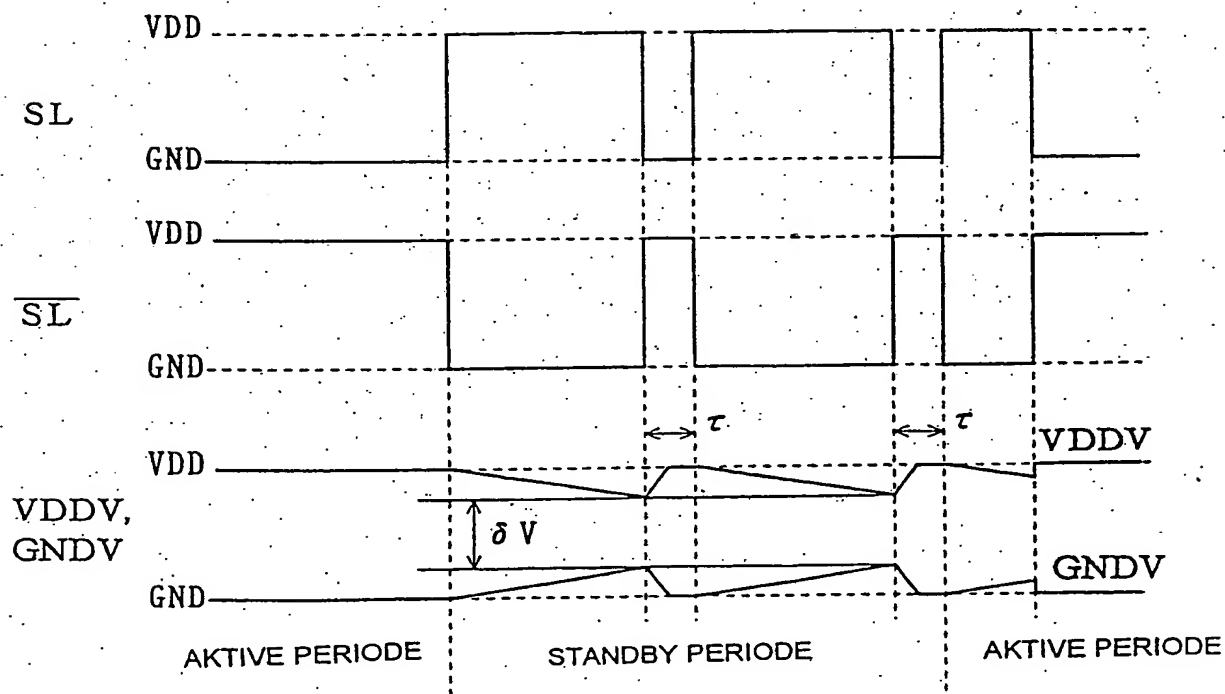


FIG. 5

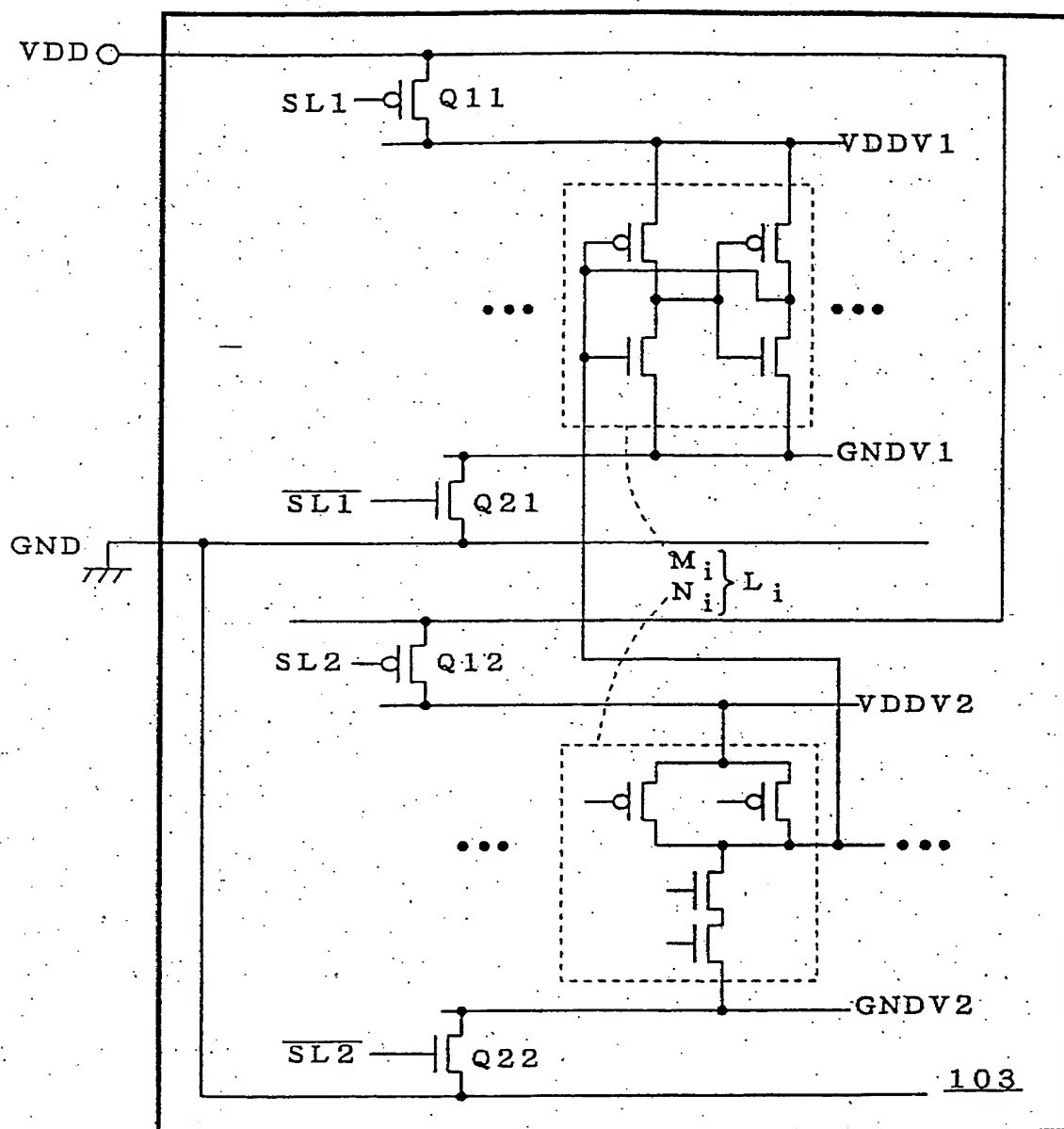


FIG. 6

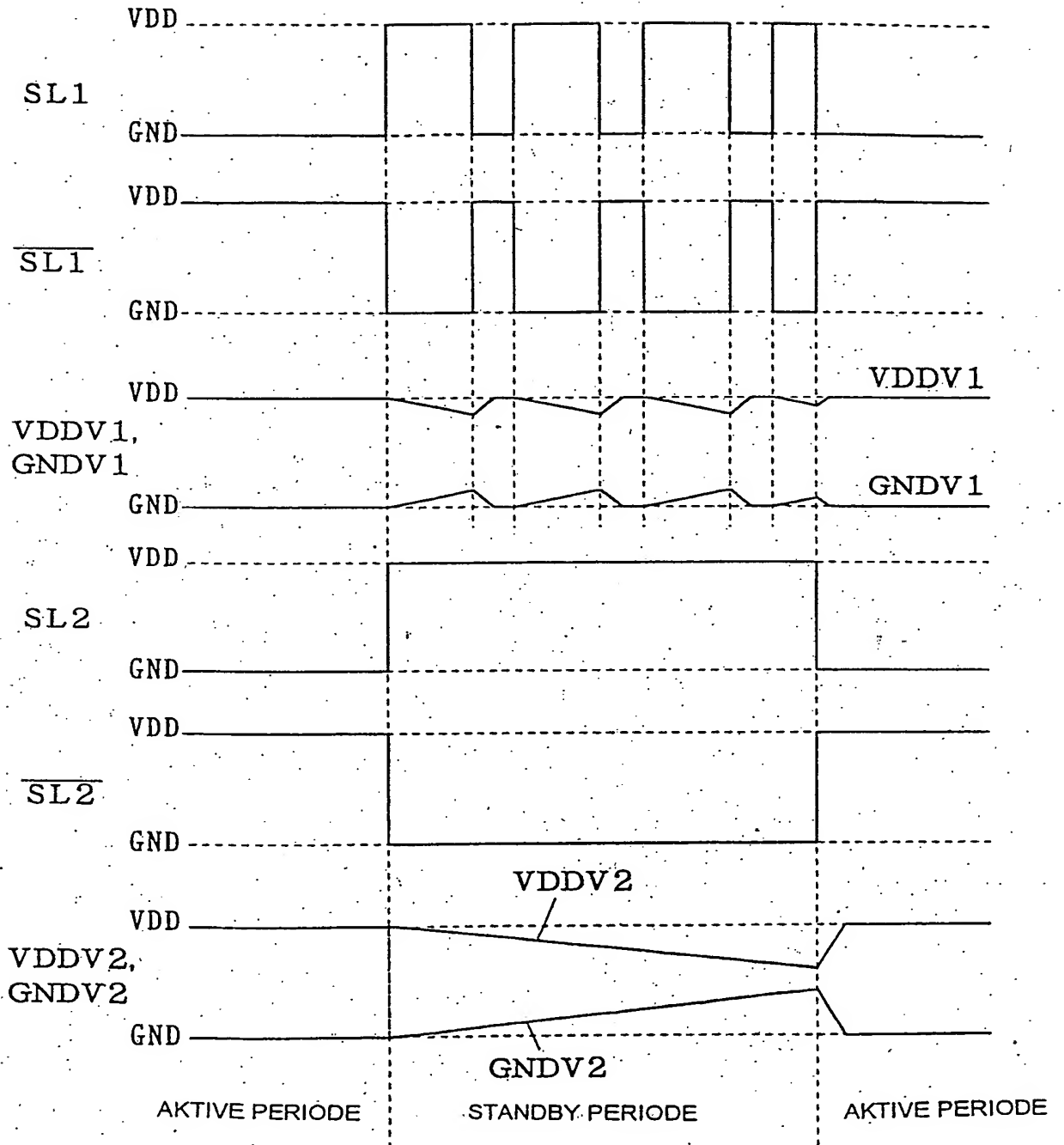


FIG. 7

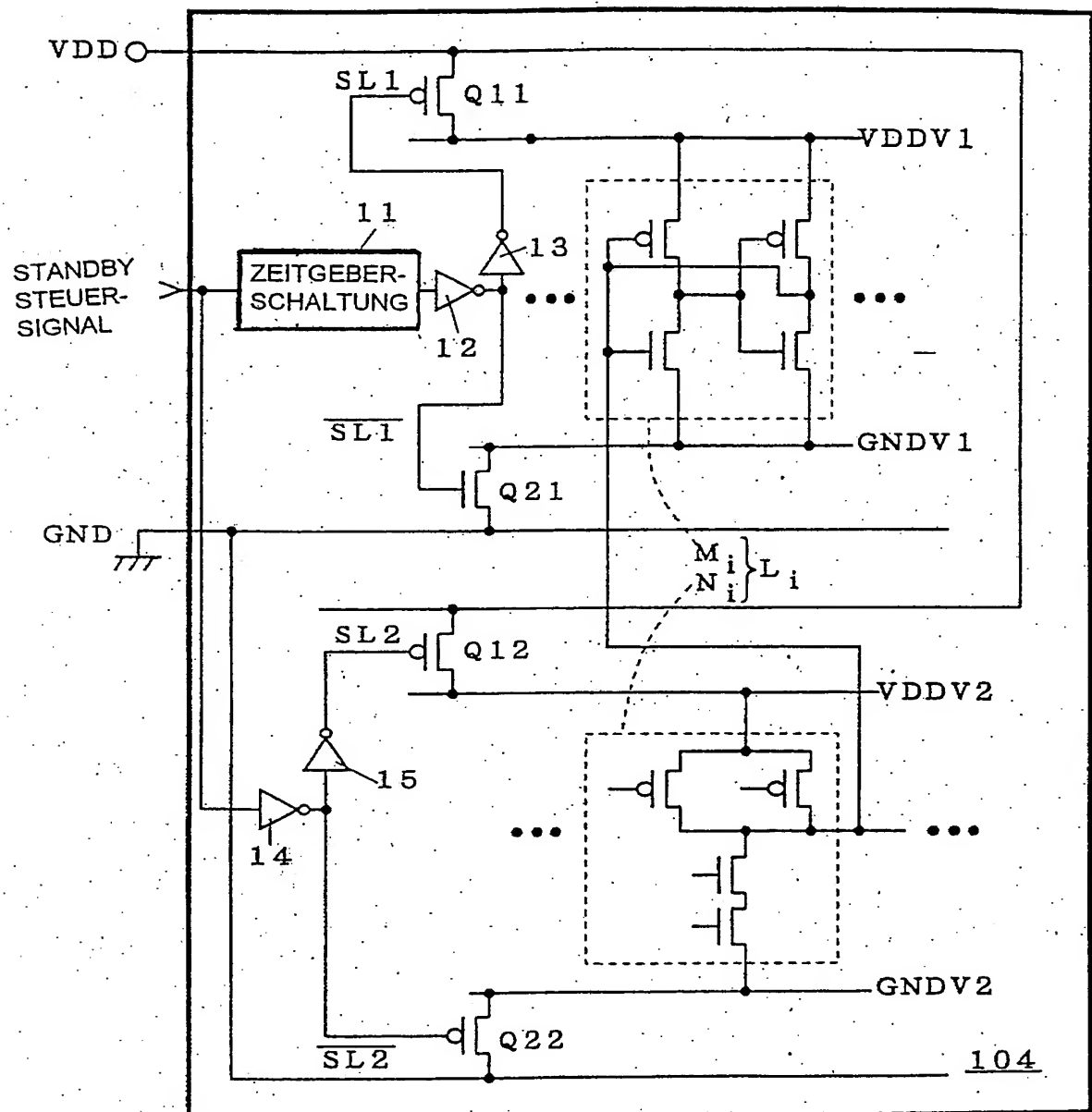


FIG. 8

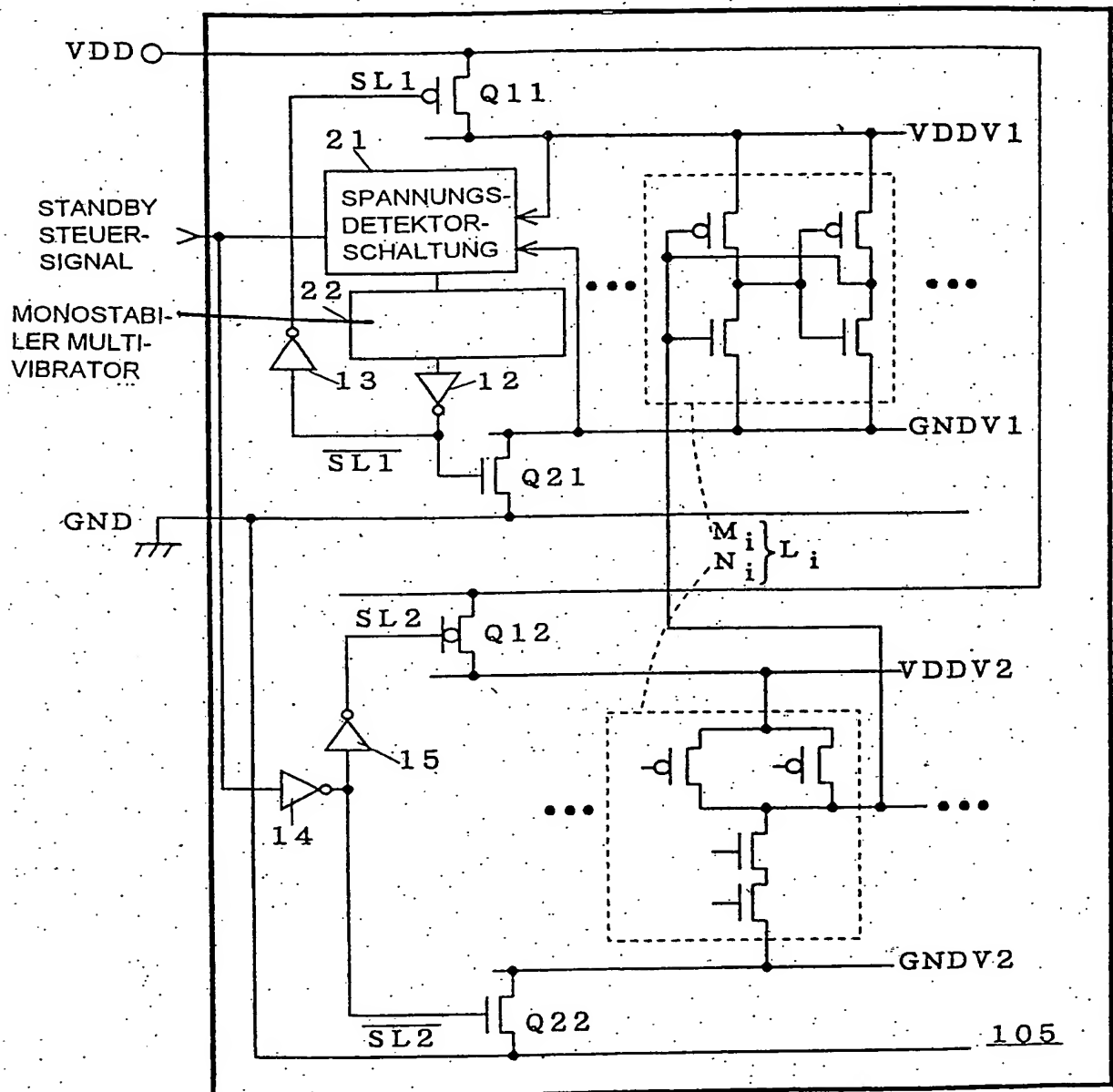


FIG. 9

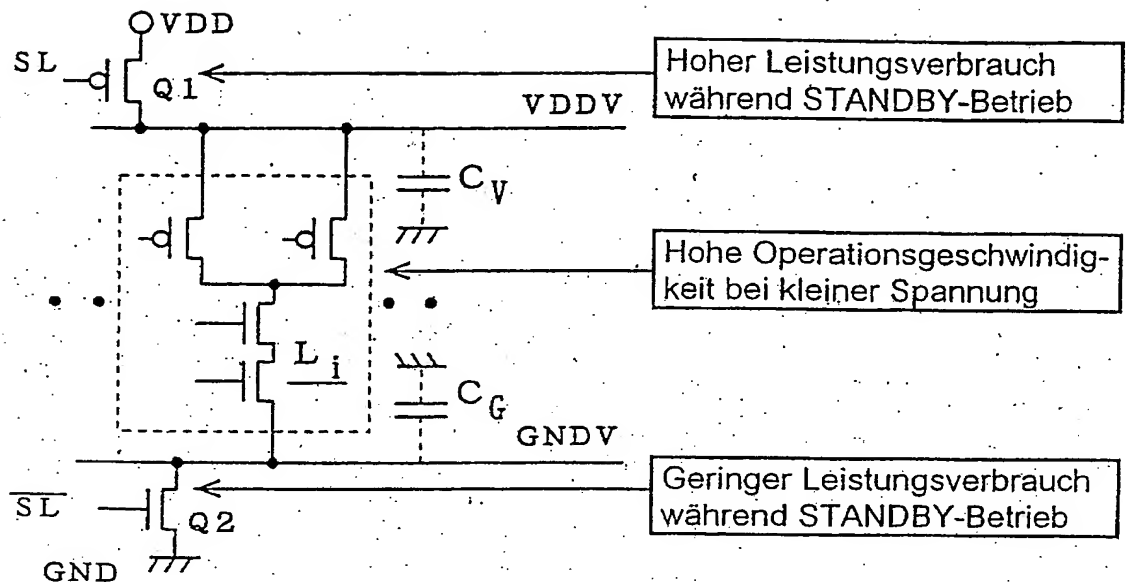


FIG. 10

